

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-49017

(43)公開日 平成5年(1993)2月26日

(51)Int.Cl.⁵

H 0 4 N 7/13
// H 0 3 M 7/30

識別記号

Z

庁内整理番号

4228-5C
8836-5J

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平3-200747

(22)出願日 平成3年(1991)8月9日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 永友 康仁

長野県諏訪市大和3丁目3番5号セイコー

エプソン株式会社内

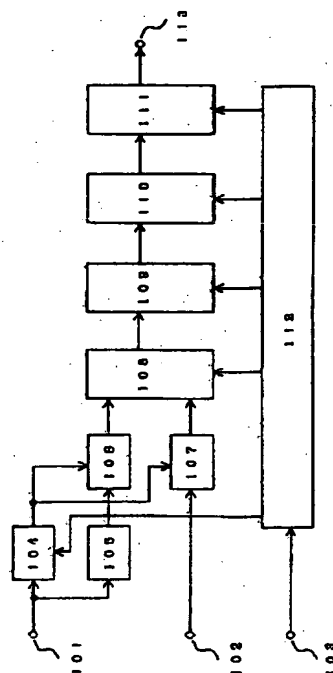
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 動きベクトル検出回路

(57)【要約】

【目的】 動画像データ圧縮装置において、2値画像のパターンマッチングを用いて動き検出をすることにより、ハードウェアの回路規模を縮小する。

【構成】 中間値回路104により注目ブロックの画素の中間値を計算し、この中間値を閾値として2値化回路106、107により注目ブロック及び探索範囲の画素を2値化する。選択回路108と不一致計数回路109及び比較回路110により全てのベクトルについて、2値画像の一致の度合いが評価され、最も一致したベクトルが動きベクトルとして出力回路111から出力される。



1

【特許請求の範囲】

【請求項1】 現画面内の注目ブロックの画素の中間値を計算する手段と、前記中間値を閾値として前記注目ブロックの画素を2値化し2値化注目ブロックを得る手段と、前記中間値を閾値として前画面内の探索範囲の画素を2値化し2値化探索範囲を得る手段と、前記2値化注目ブロックと前記2値化探索範囲のパターンマッチングを複数のベクトルについて行い、一致しない画素の個数が最小となるときのベクトルを求める動きベクトルとする手段を備えたことを特徴とする動きベクトル検出回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、動き補償予測符号化を行う動画データ圧縮装置における動きベクトル検出回路に関する。

【0002】

【従来の技術】 最も一般的な動きベクトルの検出方法は、著書、TV画像の多次元信号処理（日刊工業新聞社刊、吹抜敬彦著）の6・3・2項で解説されているパターンマッチングによる方法である。これは、ある程度動きがあっても実時間で計算できるので、フレーム間符号化装置などで広く使われている。8×8程度のブロックに分け、注目ブロックと探索範囲内の任意のベクトルで切り出された領域とのフレーム間差分絶対値の総和を求め、この差分絶対値和が最小になるベクトルをそのブロックの動きベクトルとするものである。

【0003】 上述の演算を実行するための従来のハードウェア構成を図2に示す。201は注目ブロックの画素データを入力する端子、202は探索範囲の画素データを入力する端子、203はデータ同期信号を入力する端子、204は探索すべき複数のベクトルのうち任意のベクトルに対応する画素データを選択し出力する選択回路、205は差分絶対値和を計算する演算回路、206は演算結果を比較し最小の差分絶対値和を出力するベクトルを選択する比較回路、207は演算結果に従い動きベクトルを保持し、それを出力する出力回路、208は制御回路、209は動きベクトルの出力端子である。

【0004】 次に、動作について説明する。端子203から入力するデータ同期信号により、制御回路に注目ブロックの処理を開始する合図を送る。端子201から入力される注目ブロックの画素データと、端子202から入力される探索範囲の画素データは、選択回路204により制御回路208から順次指定されるベクトルに対応した画素データが選択され演算回路205に出力される。演算回路205では、入力データの差分絶対値和と演算が実行され、結果が比較回路206に出力される。比較回路206では、入力される差分絶対値和の中で最も小さな値を示すベクトルを選び出力回路207へ出力する。出力回路207は、結果を端子209から出力す

2

る。

【0005】

【発明が解決しようとする課題】 画素データの差分絶対値和を最小にするベクトルを求める動きベクトル検出の計算には膨大な演算量を必要とし、ハードウェアの回路規模が大きくなるという問題点を有する。

【0006】 そこで、本発明はこのような問題点を解決するものであり、その目的とするところは、動きベクトルの計算に要する演算量を削減し、ハードウェアの回路規模を縮小するところにある。

【0007】

【課題を解決するための手段】 現画面内の注目ブロックの画素の中間値を計算する手段と、前記中間値を閾値として前記注目ブロックの画素を2値化し2値化注目ブロックを得る手段と、前記中間値を閾値として前画面の探索範囲の画素を2値化し2値化探索範囲を得る手段と、前記2値化注目ブロックと前記2値化探索範囲のパターンマッチングを複数のベクトルについて行い、一致しない画素の個数が最小となるベクトルを求める動きベクトルとする手段を備えたことを特徴とする。

【0008】

【実施例】（実施例1） 以下、本発明の実施例を図面を参照して説明する。図1は、この発明の一実施例である。101は注目ブロックの画素データを入力する端子、102は探索範囲の画素データを入力する端子、103はデータ同期信号を入力する端子、104は注目ブロックの中間値を計算する中間値回路、105は遅延メモリ、106及び107は2値化回路、108は任意のベクトルに対応する画素データを選択出力する選択回路、109はパターンマッチングを行い一致しない画素を計数する不一致計数回路、110は一致しない画素数を比較する比較回路、111は出力回路、112は制御回路、113は結果の出力端子である。

【0009】 次に、動作について説明する。まず、端子103から入力するデータ同期信号によって制御回路を初期化し、制御回路からの指令で他の回路が初期化される。端子101から入力される注目ブロックの画素データは、中間値回路104と遅延メモリ105へ供給される。中間値回路104では、注目ブロック内の全画素値を小さい順に並べた場合の中央の順位の値を計算し中間値として出力する。遅延メモリ105は、中間値回路104での中間値の計算が終了するまで注目ブロックのデータを遅延させるためのもので、中間値回路104の計算が終了次第注目ブロックの画素データが2値化回路106へ出力される。

【0010】 端子102は探索範囲の画素データを入力する端子である。探索範囲の画素データは、中間値回路104が中間値を計算する時間分、注目ブロックの画素データより遅れて入力される。2値化回路106及び107では、前記中間値を閾値として注目ブロックの画素

3

データと検索範囲の画素データをそれぞれ2値化する。従って、2値化回路の出力では画素データは1ビットに変換される。

【0011】選択回路108では、探索する全てのベクトルにおける注目ブロックの2値画素データと探索範囲内の対応する2値画素データを選択し出力する。制御回路112からの指令で、順次異なるベクトルに対応する2値画素データの選択出力を実行する。

【0012】不一致計数回路109では、選択回路108から入力される注目ブロックの2値画素データと探索範囲の2値画素データの1ブロックにおける一致しない画素の個数を計数する。画素データは1ビットであるので、一致・不一致の判定は2つの画素の排他的論理和を計算することにより容易に求めることができ、不一致の画素、すなわち排他的論理和の結果が1になる画素の数を計数する。

【0013】不一致計数回路109の出力は、値が小さいほどマッチングがよい。そこで、比較回路110で、過去の最小値と入力値を比較し入力値がより小さければ入力値を最小値として記憶し、この最小値を発生させたベクトルを記憶する。

【0014】上述の処理を探索範囲の全てのベクトルについて行うことにより、最終的には最適な動きベクトルが求まり、出力回路111により端子113から出力される。

【0015】

【発明の効果】本発明によれば、画像を2値化してパターンマッチングを行うようにしたため、ハードウェアの回路規模の削減ができる。

4

*【図面の簡単な説明】

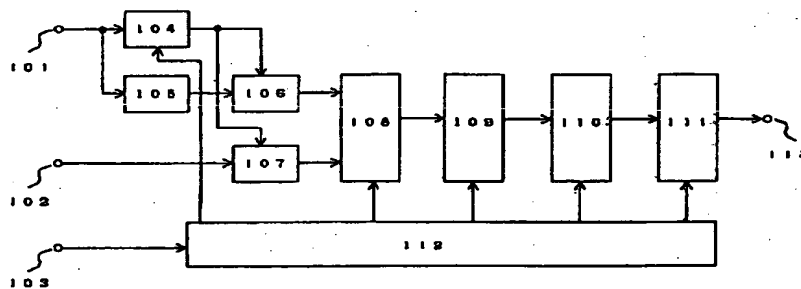
【図1】本発明の動き検出回路を説明するためのブロック図。

【図2】従来の動き検出回路を説明するためのブロック図。

【符号の説明】

101・・・入力端子
102・・・入力端子
103・・・入力端子
104・・・中間値回路
105・・・遅延メモリ
106・・・2値化回路
107・・・2値化回路
108・・・選択回路
109・・・不一致計数回路
110・・・比較回路
111・・・出力回路
112・・・制御回路
113・・・出力端子
201・・・入力端子
202・・・入力端子
203・・・入力端子
204・・・選択回路
205・・・演算回路
206・・・比較回路
207・・・出力回路
208・・・制御回路
209・・・出力端子

【図1】



【図2】

